

(19)日本国特許庁 ( J P )

(12) 公 開 特 許 公 報 ( A )

(11)特許出願公開番号

特開2003-217299

( P2003-217299A )

(43)公開日 平成15年 7 月31日 (2003.7.31)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト*(参考)
G 1 1 C 29/00	6 7 5	G 1 1 C 29/00	6 7 5 D 2 G 1 3 2
G 0 1 R 31/28		H 0 1 L 21/66	F 4 M 1 0 6
H 0 1 L 21/66		G 0 1 R 31/28	V 5 L 1 0 6
			B

審査請求 未請求 請求項の数3 O L (全 8 頁)

(21)出願番号 特願2002-14707( P2002-14707 )

(22)出願日 平成14年 1 月23日 (2002.1.23)

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 遠藤 信之

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(72)発明者 藤木 裕司

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(74)代理人 100086807

弁理士 柿本 恭成

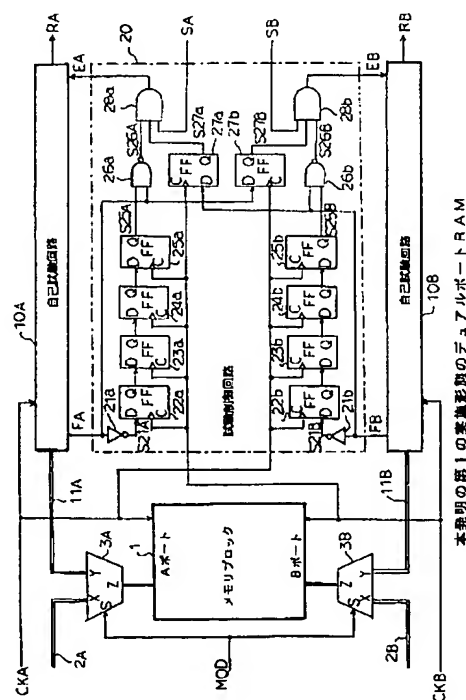
最終頁に続く

(54)【発明の名称】 デュアルポートRAM

(57)【要約】

【課題】 2つの異なるタイミングのクロック信号によって自己試験を行うことができるデュアルポートRAMを提供する。

【解決手段】 モード信号MODで試験モードが指定されると、メモリブロック1のA及びBポートは、それぞれ自己試験回路10A、10Bに接続される。自己試験回路10A、10Bは、試験制御回路20によって交互に試験動作を行うように制御される。例えば、まずイネーブル信号EAによって自己試験回路10Aが起動され、クロック信号CKAに基づいて試験が行われる。自己試験回路10Aによる試験が完了すると完了信号FAが出力され、試験制御回路20からのイネーブル信号EAが停止され、イネーブル信号EBが出力される。これにより、自己試験回路10Bが起動され、今度はこの自己試験回路10Bによってクロック信号CKBに基づく試験が行われる。



## 【特許請求の範囲】

【請求項1】 独立した第1と第2のポートから同一の記憶領域にアクセスできる随時読み書き可能なメモリブロックと、

第1のクロック信号に基づいて前記第1のポートを介して前記メモリブロックの記憶領域に対する試験を行う第1の試験回路と、

第2のクロック信号に基づいて前記第2のポートを介して前記メモリブロックの記憶領域に対する試験を行う第2の試験回路と、

前記第1及び第2の試験回路に対して交互に前記メモリブロックの試験を行わせる制御回路とを、

備えたことを特徴とするデュアルポートRAM。

【請求項2】 前記第1の試験回路は、第1のイネーブル信号に基づいて試験動作を開始し、該第1の試験回路の試験動作が完了したときに第1の完了信号を出力するように構成し、

前記第2の試験回路は、第2のイネーブル信号に基づいて試験動作を開始し、該第2の試験回路の試験動作が完了したときに第2の完了信号を出力するように構成し、

前記制御回路は、前記第1の完了信号に基づいて前記第2のイネーブル信号を出力すると共に前記第1のイネーブル信号を停止し、前記第2の完了信号に基づいて該第1のイネーブル信号を出力すると共に該第2のイネーブル信号を停止するように構成した、

ことを特徴とする請求項1記載のデュアルポートRAM。

【請求項3】 前記制御回路は、セット・リセット型のフリップフロップで構成したことを特徴とする請求項2記載のデュアルポートRAM。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、独立した2つのポートから同一のメモリを読み書きすることができるデュアルポートRAM (Random Access Memory)、特にその自己試験機能に関するものである。

## 【0002】

【従来の技術】 図2は、従来のデュアルポートRAMの一例を示す構成図である。このデュアルポートRAMは、A及びBの2つのポートを備えたメモリブロック1を有している。メモリブロック1のAポートには、図示しない機能ブロックA側のシステムバス2Aがセクタ3Aを介して接続されると共に、クロック信号CKAが与えられるようになっている。また、メモリブロック1のBポートには、図示しない機能ブロックB側のシステムバス2Bがセクタ3Bを介して接続されると共に、クロック信号CKBがセクタ4を介して与えられるようになっている。

【0003】 更に、このデュアルポートRAMは、メモリブロック1を試験するための自己試験回路5を有して

いる。自己試験回路5は、バス6Aによってセクタ3Aを介してメモリブロック1のAポートに接続されると共に、バス6Bによってセクタ3Bを介してメモリブロック1のBポートに接続されている。また、クロック信号CKAは、自己試験回路5に与えられると共に、セクタ4を介してメモリブロック1のBポートに与えられるようになっている。

【0004】 セクタ3A、3B、4は、通常動作または試験動作を指定するモード信号MODによって切り替えられ、通常動作時にはメモリブロック1のAポート及びBポートが、それぞれ機能ブロックA、B側に接続されるようになっている。また、試験動作時には、メモリブロック1のAポート及びBポートが、それぞれバス6A、6Bを介して自己試験回路5に接続され、これらのAポート及びBポートには、この自己試験回路5と同様にクロック信号CKAが与えられるようになっている。

【0005】 このようなデュアルポートRAMにおいて、モード信号MODによって通常動作が指定されると、メモリブロック1のAポートには、機能ブロックAのシステムバス2Aが接続されると共に、クロック信号CKAが与えられる。メモリブロック1のBポートには、機能ブロックBのシステムバス2Bが接続されると共に、クロック信号CKBが与えられる。また、メモリブロック1と自己試験回路2とは、セクタ3A、3Bによって切り離される。

【0006】 一方、モード信号MODによって試験動作が指定されると、メモリブロック1のAポート及びBポートは、それぞれセクタ3A、3Bによって機能ブロックA、Bから切り離され、自己試験回路5に接続される。また、メモリブロック1のAポートと自己試験回路5には、クロック信号CKAが供給される。更に、メモリブロック1のBポートには、クロック信号CKAがセクタ4を介して供給される。

【0007】 ここで、自己試験回路5に試験開始信号STAが与えられると、この自己試験回路5によって、メモリブロック1に対するデータの書き込み及び読み出しの試験が行われ、試験結果RESが出力される。この自己試験では、Aポート側から書き込んだデータをBポート側から読み出して検証したり、その逆にBポート側から書き込んだデータをAポート側から読み出して検証する試験が行われる。また、1つの自己試験回路5でメモリブロック1のA及びBポートを同時に制御するため、これらのA、Bポートは共通のクロック信号CKAが与えられて読み書きの動作が行われる。

## 【0008】

【発明が解決しようとする課題】 しかしながら、従来のデュアルポートRAMでは、次のような課題があった。即ち、自己試験の時に、BポートにもAポートと同じクロック信号CKAを供給する必要がある。従って、Bポート側のクロック供給経路は、セクタ4によってクロ

10

20

30

40

50

ック信号CKA、CKBを切り替えるようになっている。このため、Aポート側に供給されるクロック信号CKAと、Bポート側に供給されるクロック信号CKAのタイミングが異なってしまう、特に高速動作時には正常な自己試験が出来なくなるという課題があった。

【0009】更に、AポートとBポートとで、異なる速度のクロック信号CKA、CKBを使用する場合の自己試験ができないという課題があった。

【0010】本発明は、前記従来技術が持っていた課題を解決し、2つの異なるタイミングのクロック信号によって自己試験を行うことができるデュアルポートRAMを提供するものである。

【0011】

【課題を解決するための手段】前記課題を解決するために、本発明の内の第1の発明は、デュアルポートRAMにおいて、独立した第1と第2のポートから同一の記憶領域にアクセスできる随時読み書き可能なメモリブロックと、第1のクロック信号に基づいて前記第1のポートを介して前記メモリブロックの記憶領域に対する試験を行う第1の試験回路と、第2のクロック信号に基づいて前記第2のポートを介して前記メモリブロックの記憶領域に対する試験を行う第2の試験回路と、前記第1及び第2の試験回路に対して交互に前記メモリブロックの試験を行わせる制御回路とを備えている。

【0012】第2の発明は、第1の発明における第1の試験回路を、第1のイネーブル信号に基づいて試験動作を開始し、該第1の試験回路の試験動作が完了したときに第1の完了信号を出力するように構成している。また、第2の試験回路を、第2のイネーブル信号に基づいて試験動作を開始し、該第2の試験回路の試験動作が完了したときに第2の完了信号を出力するように構成している。更に、記制御回路を、第1の完了信号に基づいて第2のイネーブル信号を出力すると共に第1のイネーブル信号を停止し、第2の完了信号に基づいて第1のイネーブル信号を出力すると共に第2のイネーブル信号を停止するように構成している。

【0013】第3の発明は、第2の発明における制御回路を、セット・リセット型のフリップフロップ（以下、「FF」という）で構成している。

【0014】本発明によれば、以上のようにデュアルポートRAMを構成したので、次のような作用が行われる。メモリブロックの記憶領域を試験する場合、例えばセット・リセット型のFFによる制御回路によって第1の試験回路に第1のイネーブル信号が与えられる。これにより、第1の試験回路からメモリブロックの記憶領域に対する試験が、第1のクロック信号に基づいて第1のポートを介して行われる。第1の試験回路による試験動作が完了すると、この第1の試験回路から第1の完了信号が出力される。

【0015】制御回路では、第1の完了信号が与えられ

ると、第2のイネーブル信号が出力されると共に第1のイネーブル信号が停止される。これによって、第2の試験回路からメモリブロックの記憶領域に対する試験が、第2のクロック信号に基づいて第2のポートを介して行われる。第2の試験回路による試験動作が完了すると、この第2の試験回路から第2の完了信号が出力される。

【0016】制御回路では、第2の完了信号が与えられると、第1のイネーブル信号が出力されると共に第2のイネーブル信号が停止される。このような繰り返しにより、メモリブロックの記憶領域に対する所定の試験動作が行われる。

【0017】

【発明の実施の形態】（第1の実施形態）図1は、本発明の第1の実施形態を示すデュアルポートRAMの構成図である。このデュアルポートRAMは、A及びBの2つのポートを備えたメモリブロック1を有している。メモリブロック1のAポートには、図示しない機能ブロックA側のシステムバス2Aがセクタ3Aを介して接続されると共に、クロック信号CKAが与えられるようになっている。また、メモリブロック1のBポートには、図示しない機能ブロックB側のシステムバス2Bがセクタ3Bを介して接続されると共に、クロック信号CKBが与えられるようになっている。

【0018】更に、このデュアルポートRAMは、メモリブロック1を試験するための自己試験回路10A、10Bを有している。自己試験回路10Aは、クロック信号CKAが与えられると共に、バス11Aによってセクタ3Aを介してメモリブロック1のAポートに接続されている。自己試験回路10Bは、クロック信号CKBが与えられると共に、バス11Bによってセクタ3Bを介してメモリブロック1のBポートに接続されている。

【0019】セクタ3A、3Bは、端子Sに与えられるモード信号MODによって、通常動作または試験動作が切り替えられ、通常動作時には端子X-Z間が接続されてメモリブロック1のAポート及びBポートが、それぞれ機能ブロックA、B側に接続されるようになっている。また、試験動作時には、セクタ3A、3Bの端子Y-Z間が接続され、メモリブロック1のAポート及びBポートが、それぞれバス11A、11Bを介して自己試験回路10A、10Bに接続されるようになっている。

【0020】自己試験回路10Aは、イネーブル信号EAがレベル“H”の時に、Aポートを介してメモリブロック1を所定の手順に従って試験するものである。所定の試験が完了すると、自己試験回路10Aから出力される完了信号FAがレベル“L”から“H”に変化し、その試験結果RAが出力されるようになっている。同様に、自己試験回路10Bは、イネーブル信号EBがレベル“H”の時に、Bポートを介してメモリブロック1を所

定の手順に従って試験するものである。所定の試験が完了すると、自己試験回路10Bから出力される完了信号FBが、“L”から“H”に変化し、その試験結果RBが出力されるようになっている。

【0021】このデュアルポートRAMは、2つの自己試験回路10A、10Bを交互に動作させるための試験制御回路20を有している。試験制御回路20は、Aポート側の完了信号FAが与えられるインバータ21aを有し、このインバータ21aの出力側に、4段のFF22a、23a、24a、25aが接続されている。FF22a～25aのクロック端子Cには、Bポート側のクロック信号CKBが与えられるようになっている。FF25aの出力側は2入力の否定的論理積ゲート（以下、「NAND」という）26aの第1の入力側に接続され、このNAND26aの第2の入力側には完了信号FAが与えられるようになっている。

【0022】また、試験制御回路20は、Bポート側の完了信号FBをクロック信号CKBの立ち上がりで保持するFF27aを有している。FF27aとNAND26aの出力側は、3入力の論理積ゲート（以下、「AND」という）28aの第1及び第2の入力側に接続され、このAND28aの第3の入力側には開始信号SAが与えられるようになっている。そして、AND28aの出力側からイネーブル信号EAが出力され、自己試験回路10Aに与えられるようになっている。

【0023】更に、この試験制御回路20は、Bポート側の完了信号FBが与えられるインバータ21bを有し、このインバータ21bの出力側に、4段のFF22b、23b、24b、25bが接続されている。FF22b～25bのクロック端子Cには、Aポート側のクロック信号CKAが与えられるようになっている。FF25bの出力側は2入力のNAND26bの第1の入力側に接続され、このNAND26bの第2の入力側には完了信号FBが与えられるようになっている。

【0024】また、試験制御回路20は、Aポート側の完了信号FAをクロック信号CKAの立ち上がりで保持するFF27bを有している。FF27bとNAND26bの出力側は、3入力のAND28bの第1及び第2の入力側に接続され、このAND28bの第3の入力側には開始信号SBが与えられるようになっている。そして、AND28bの出力側からイネーブル信号EBが出力され、自己試験回路10Bに与えられるようになっている。

【0025】図3は、図1の自己試験時の動作を示す信号波形図である。以下、この図3を参照しつつ、図1の動作を説明する。通常動作時には、モード信号MODによってセクタ3A、3Bが端子X側に切り替えられ、メモリブロック1のAポートには、機能ブロックAのシステムバス2Aが接続されると共に、クロック信号CKAが与えられる。また、メモリブロック1のBポートに

は、機能ブロックBのシステムバス2Bが接続されると共に、クロック信号CKBが与えられる。また、メモリブロック1と自己試験回路10A、10Bとは、セクタ3A、3Bによって切り離される。

【0026】自己試験動作時には、モード信号MODによってセクタ3A、3Bが端子Y側に切り替えられ、メモリブロック1のAポート及びBポートは、それぞれセクタ3A、3Bによって機能ブロックA、Bから切り離され、自己試験回路10A、10Bに接続される。また、メモリブロック1のAポートと自己試験回路10Aにはクロック信号CKAが供給され、Bポートと自己試験回路10Bにはクロック信号CKBが供給される。

【0027】ここで、例えば次のような手順で、メモリブロック1の所定範囲のアドレスの試験を順次繰り返して行うとする。

フェーズ1：Aポートからデータを読み出して期待値と比較。

フェーズ2：Bポートからデータを読み出して期待値と比較。

フェーズ3：Aポートからデータを書き込む。

フェーズ4：Aポートからデータを読み出して期待値と比較。

フェーズ5：Bポートからデータを読み出して期待値と比較。

【0028】この場合、AポートからBポートへのアクセスの変更は、フェーズ1とフェーズ2の間、及びフェーズ4とフェーズ5の間に生ずることになる。また、BポートからAポートへのアクセスの変更は、フェーズ2とフェーズ3の間、及びフェーズ5と次のアドレスのフェーズ1の間に生ずることになる。

【0029】まず、例えば“H”の開始信号SAと、“L”の開始信号SBが与えられ、自己試験回路10Bは強制的に停止状態にさせられ、自己試験回路10Aの動作が開始される。自己試験回路10Aの動作が開始した後、開始信号SBは“H”にセットされる。

【0030】図3の時刻t1において、Aポート側の自己試験回路10Aの試験が終ると、完了信号FAが“L”から“H”へ変化する。これにより、インバータ21aから出力される信号S21Aは、“H”から“L”へ変化する。また、NAND26aから出力される信号S26Aも“L”となり、これによってAND28aから出力されるイネーブル信号EAは“L”となる。

【0031】その後、時刻t2におけるクロック信号CKAの立ち上がりによって、FF27bから出力される信号S27Bは“L”から“H”へ変化する。これによってAND28bから出力されるイネーブル信号EBは“H”となる。時刻t3において、Bポート側のクロック信号CKBが立ち上がると、自己試験回路10Bの動作が開始され、完了信号FBは“H”から“L”へ変化する。

10

20

30

40

50

する。これにより、インバータ21bから出力される信号S21Bは、“L”から“H”へ変化する。

【0032】時刻t4における次のクロック信号CKBの立ち上がりにより、FF27aから出力される信号S27Aは“H”から“L”へ変化する。時刻t5において、時刻t1から4回目のクロック信号CKBの立ち上がりによって、FF25aから出力される信号S25Aは“H”から“L”へ変化する。これにより、NAND26aの信号S26Aは“H”に戻る。しかし、FF27aの信号S27Aは“L”となっているので、イネーブル信号EAは“L”のままである。

【0033】時刻t6において、時刻t3から4回目のクロック信号CKAの立ち上がりによって、FF25bから出力される信号S25Bは“L”から“H”へ変化する。この時、完了信号FBは“L”であるので、NAND26bから出力される信号S26Bは“H”のままで、イネーブル信号EBは“H”の状態に維持される。

【0034】時刻t7において、Bポート側の自己試験回路10Bの試験が終了と、完了信号FBが“L”から“H”へ変化する。これにより、インバータ21bの信号S21Bは、“H”から“L”へ変化する。また、NAND26bの信号S26Bも“L”となり、これによってイネーブル信号EBは“L”となる。

【0035】その後、時刻t8におけるクロック信号CKBの立ち上がりによって、FF27aの信号S27Aは“L”から“H”へ変化する。これによってイネーブル信号EAは“H”となる。

【0036】時刻t9において、Aポート側のクロック信号CKAが立ち上がると、自己試験回路10Aの動作が開始され、完了信号FAは“H”から“L”へ変化する。これにより、インバータ21aの信号S21Aは、“L”から“H”へ変化する。

【0037】時刻t10における次のクロック信号CKAの立ち上がりにより、FF27bの信号S27Bは“H”から“L”へ変化する。

【0038】以下、同様の繰り返しにより、試験制御回路20によって自己試験回路10A、10Bが、交互に試験動作を行うように制御される。

【0039】以上のように、この第1の実施形態のデュアルポートRAMは、それぞれAポート及びBポートのクロック信号CKA、CKBで動作する自己試験回路10A、10Bと、これらの自己試験回路10A、10Bが交互に動作するように制御する試験制御回路20を有している。これにより、2つの異なるタイミングのクロック信号CKA、CKBによってメモリブロック1の自己試験を行うことができるという利点がある。

【0040】(第2の実施形態)図4は、本発明の第2の実施形態を示すデュアルポートRAMの構成図であり、図1中の要素と共通の要素には共通の符号が付されている。このデュアルポートRAMは、図1のデュアル

ポートRAMの試験制御回路20に代えて、セット・リセット型のFF30を設けている。

【0041】このFF30は、セット端子Sに“H”のパルスが印加されたときに“H”のデータが保持され、出力端子Q、／Qにそれぞれ“H”、“L”の信号を出力し、リセット端子Rに“H”のパルスが印加されたときに“L”のデータが保持され、出力端子Q、／Qにそれぞれ“L”、“H”の信号を出力するものである。更に、このFF30はプリセット端子PSとクリア端子CLを備え、プリセット端子PSに“H”のパルスを印加することによって保持しているデータを“H”にセットし、クリア端子CLに“H”のパルスを印加することによって保持しているデータを“L”にリセットすることができるようになっている。

【0042】FF30のセット端子Sには自己試験回路10Aの完了信号FAが与えられ、リセット端子Rには自己試験回路10Bの完了信号FBが与えられるようになっている。また、FF30の出力端子Qから自己試験回路10Bに対するイネーブル信号EBが出力され、出力端子／Qから自己試験回路10Aに対するイネーブル信号EAが出力されるようになっている。更に、クリア端子CLとプリセット端子PSには、それぞれ開始信号SA、SBが与えられるようになっている。その他の構成は、図1と同様である。

【0043】図5は、図4の自己試験時の動作を示す信号波形図である。以下、この図5を参照しつつ、図4の自己試験時の動作を説明する。自己試験の開始時に、開始信号SAを与えることにより、FF30がクリアされ、出力端子Qから自己試験回路10Bに出力されるイネーブル信号EBは“L”となり、出力端子／Qから自己試験回路10Aに出力されるイネーブル信号EAが“H”となる。これにより、自己試験回路10Aによるメモリブロック1の自己試験が、クロック信号CKAに基づいてAポートを介して行われる。

【0044】自己試験回路10Aの動作が完了すると、この自己試験回路10Aから完了信号FAのパルスが出力される。これによって、FF30はセットされ、出力端子Qから自己試験回路10Bに出力されるイネーブル信号EBは“H”となり、出力端子／Qから自己試験回路10Aに出力されるイネーブル信号EAが“L”となる。

【0045】イネーブル信号EBが“H”になると、その次のクロック信号CKBの立ち上がりのタイミングで、自己試験回路10Bの動作が開始される。そして、自己試験回路10Bによるメモリブロック1の自己試験が、クロック信号CKBに基づいてBポートを介して行われる。

【0046】自己試験回路10Bの動作が完了すると、この自己試験回路10Bから完了信号FBのパルスが出力される。これによって、FF30はリセットされ、出

力端子Qから自己試験回路10Bに出力されるイネーブル信号EBは“L”となり、出力端子／Qから自己試験回路10Aに出力されるイネーブル信号EAが“H”となる。以下、同様の繰り返しにより、自己試験回路10A、10Bが、交互に試験動作を行うように制御される。

【0047】以上のように、この第2の実施形態のデュアルポートRAMは、それぞれAポート及びBポートのクロック信号CKA、CKBで動作する自己試験回路10A、10Bと、これらの自己試験回路10A、10Bが交互に動作するように制御するFF30を有している。これにより、第1の実施形態と同様の利点に加えて、回路構成を簡素化することができるという利点がある。

【0048】なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次のようなものがある。

(a) 図1中の試験制御回路20の回路構成は、図示したものに限定されない。例えば、FF22a～25a等の段数は、クロック信号CKA、CKBの周波数等によって適切な数に設定することができる。また、FF22a～25aに代えて遅延回路等を用いても良い。

【0049】(b) 図4中のFF30は、最初に自己試験回路10Aまたは10Bの一方を起動させるためのプリセット機能を有しているが、別の回路によって自己試験回路10Aまたは10Bを起動させるようにしても良い。

【0050】

【発明の効果】以上詳細に説明したように、第1の発明によれば、第1のクロック信号に基づいて第1のポートを介してメモリブロックの記憶領域に対する試験を行う第1の試験回路と、第2のクロック信号に基づいて第2のポートを介して前記メモリブロックの記憶領域に対する試験を行う第2の試験回路と、これらの第1及び第2の試験回路に対して交互に前記メモリブロックの試験を行わせる制御回路とを有している。これにより、2つの異なるタイミングのクロック信号によって第1及び第2のポートを介してメモリブロックの自己試験を行うこと

ができる。

【0051】第2の発明によれば、第1の試験回路は、第1のイネーブル信号に基づいて試験動作を開始し、該試験動作が完了したときに第1の完了信号を出力するように構成し、第2の試験回路は、第2のイネーブル信号に基づいて試験動作を開始し、該試験動作が完了したときに第2の完了信号を出力するように構成している。更に制御回路は、第1の完了信号に基づいて第2のイネーブル信号を出力すると共に第1のイネーブル信号を停止し、第2の完了信号に基づいて第1のイネーブル信号を出力すると共に第2のイネーブル信号を停止するように構成している。これにより、メモリブロックの記憶領域に対する試験が、2つの試験回路によって交互に行われるので、2つの異なるタイミングのクロック信号に対して問題なく試験を行うことができる。

【0052】第3の発明によれば、第2の発明における制御回路を、セット・リセット型のFFで構成している。これにより、簡単な回路構成で確実な動作が可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示すデュアルポートRAMの構成図である。

【図2】従来のデュアルポートRAMの一例を示す構成図である。

【図3】図1の自己試験時の動作を示す信号波形図である。

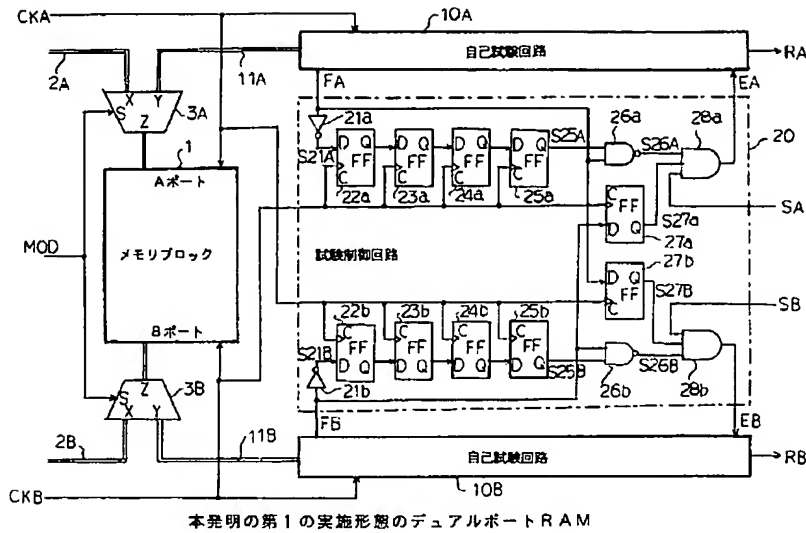
【図4】本発明の第2の実施形態を示すデュアルポートRAMの構成図である。

【図5】図4の自己試験時の動作を示す信号波形図である。

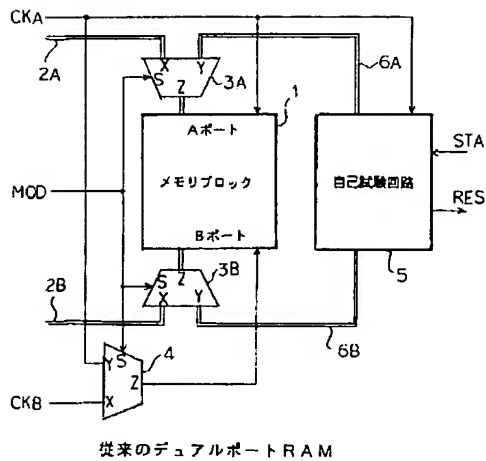
【符号の説明】

- 1      メモリブロック
- 2A, 2B   システムバス
- 3A, 3B   セクタ
- 10A, 10B   自己試験回路
- 11A, 11B   バス
- 20      試験制御回路
- 30      FF (フリップフロップ)

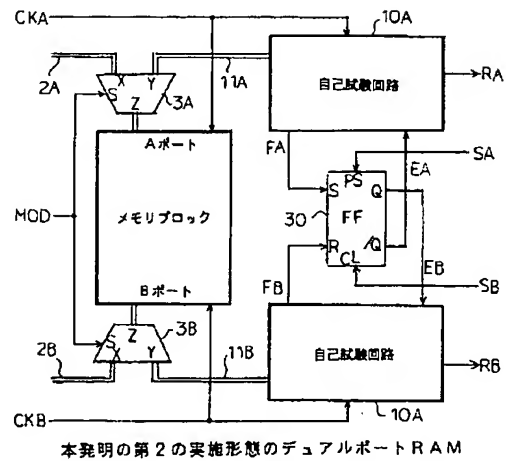
【図1】



【図2】



【図4】



【図5】

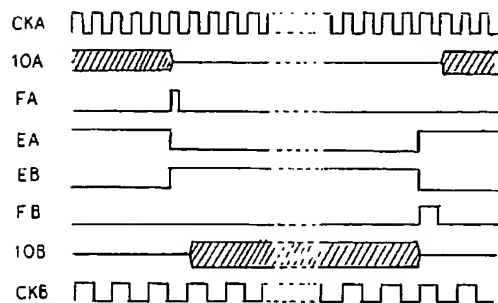


図4の動作

【図3】

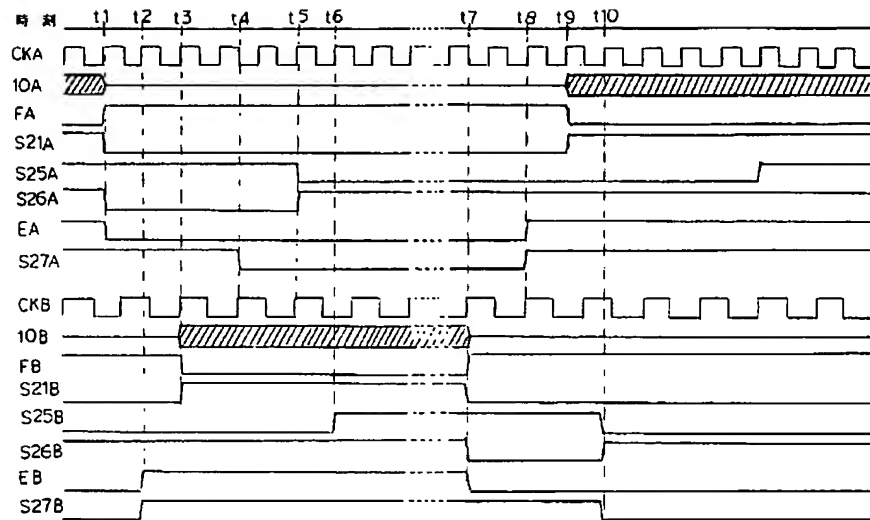


図1の動作

フロントページの続き

(72)発明者 郷古 博紀  
東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内  
(72)発明者 和嶋 貴寛  
東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(72)発明者 田村 純一  
東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内  
(72)発明者 E L H A D R I A L I  
東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内  
Fターム(参考) 2G132 AA08 AB01 AC03 AD06 AG02  
AK15 AK17 AK29 AL11  
4M106 AC08 AC09  
5L106 AA14 DD22 DD23 EE02 GG03